

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-156348

(43)Date of publication of application : 29.08.1988

(51)Int.Cl.

H01L 23/52
H05K 3/46

(21)Application number : 61-304581

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.12.1986

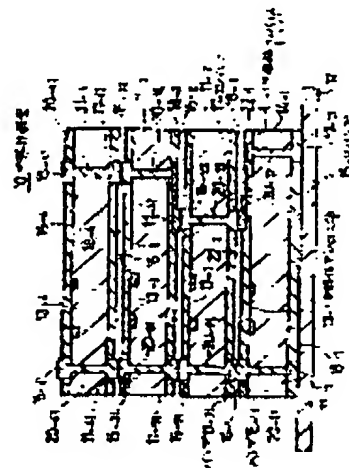
(72)Inventor : HASEGAWA HITOSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To implement high density and high integration, by providing connecting electrodes and internal wirings, which connect the electrodes electrically, on the upper and rear surfaces of semiconductor device chips, coupling said connecting electrodes of the facing semiconductor device chips, and providing a constitution of three-dimensional laminated layers

CONSTITUTION: All surfaces 16-1W16-4 of semiconductor device chips 11-1W11-4 face upward the facing bumps are bonded by a thermocompressing bonding method, electrically connected and mechanically coupled. Semiconductor device parts 13-1W13-4 on the semiconductor device chips 11-1W11-4 are electrically connected to the terminals on a ceramic substrate 12 through the bumps and internal wirings. 4 semiconductor device 10 has a structure, wherein the semiconductor device chips 11-1W11-4 are electrically connected themselves and laminated in three-dimensional four layers. Thus the high density and high integration of the semiconductor device parts can be implemented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A) 昭63-156348

⑮ Int. Cl.

識別記号

庁内整理番号

⑰ 公開 昭和63年(1988)6月29日

H 01 L 23/52
H 05 K 3/468728-5F
Q-7342-5F

審査請求 未請求 発明の数 1 (全4頁)

⑱ 発明の名称 半導体装置

⑲ 特 願 昭61-304581

⑳ 出 願 昭61(1986)12月19日

㉑ 発 明 者 長 谷 川 亨 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代 理 人 弁理士 井 柄 貞一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体デバイスチップ(11-、~11-、)を、その表面(16-、~16-、)及び裏面(18-、~18-、)に素子用電極(15-、~15-、a、17-、~17-、a)を設け且つその内部に上記素子の素子用電極を電気的に接続する内部配線(21-、~21-、a)を設けた構成とし、

該半導体デバイスチップ(11-、~11-、)が相対向する上記素子用電極(15-、~15-、a、17-、~17-、a)同士を結合させて三次元的に積層された構成の半導体装置。

3. 発明の詳細な説明

(概要)

本発明の半導体装置は、半導体デバイスチップ白に電気的接続電極を付し、半導体デバイスチップ自体同士を三層以上積層させて、半導

体デバイスの高集成、高集積化を図ったものである。

(従来の技術分野)

本発明は、半導体装置に係り、特に半導体デバイスチップ同士を積層してなる半導体装置に関する。

(従来の技術)

従来のこの種の半導体装置の構造を第5図に示す。図中、1、1aは天々半導体デバイスチップである。半導体デバイスチップ1は、表面に半導体デバイス部2を有する基板3と、基板表面の配線部4、5と、配線部4、5を被うポリミッド層6と、配線部4、5の先端のAUバンパ7、8とよりなる構成である。別の半導体デバイスチップ18も上記の半導体デバイスチップ1と同様の構成であり、対応する部分には添字8を付した同一符号を付す。

半導体デバイスチップ1、18は、天々の異

特開昭63-156348(2)

面9、9a面を突き合わせた状態で、Aaパンフ7と7a及び8と8aとがボンディングされて、電気的且つ機械的に接続されて一体化されており、従来の比で二倍の高集積化が図られている。

(発明が解決しようとする課題)

しかし、上記の構成の半導体装置では、半導体デバイスチップの積層は二層が限度であり、三層以上の積層は不可能であり、第5図に示す以上の高集積化を図ることは出来ないという問題点があった。

(問題点を解決するための手段)

本発明の半導体装置は、半導体デバイスチップを、その上面及び下面に接合用電極を設け且つその内部に上記接合用の接続用電極を電気的に接続する内部配線を設けた構成とし、

該半導体デバイスチップが相対向する上記接合用電極同士を結合させて三次元的に積層された構成としたものである。

17-a、17-bは天々接合用電極としてのAa型のパンフであり、面18-aに形成してある。

半導体基板14-aにはスルーホール19-a、19-bが形成してあり、この内部に内部配線20-a、20-bが形成されている。パンフ15-aと17-aとは内部配線20-aにより電気的に接続されている。パンフ15-aと17-aとは内部配線20-a及び表面配線21-aにより形成されている。なお、パンフ15-a、15-b、17-a、17-bは天々接合が必要部位に配されている。

22-aは絶縁膜であり、半導体基板14-aの表面及びスルーホール19-a、19-bの内面に形成してある。

他の半導体デバイスチップ11-a、11-b、11-cは、上記の半導体チップ11-a、とほぼな構成であり、天々対応する部分には番号2、3、4、21、22、31、32、41、42を付した同一符号を付しその説明は省略する。

(作用)

半導体デバイスチップ自体がその表面及び下面の両方の面に電気的接続手段を有するため、接続用の特別の部材を使用しなくとも半導体デバイスチップ三層以上の積層が可能となる。

(実施例)

第1図は本発明の第1実施例による半導体装置10を示す。図中、11-a、～11-cは天々半導体デバイスチップであり、セラミック基板12上に積層されている。

半導体デバイスチップ11-aは、第2図に併せて示すように、半導体デバイス部13-a、が形成された半導体基板14-a、よりなる。

15-a、15-bは天々接合用電極としてのAa型のパンフであり、半導体デバイス部13-a、が形成された面と同じ面である表面16-a、に形成してある。半導体デバイス部13-a、とパンフ15-a、15-bとの間には配線されている。

半導体デバイスチップ11-a、～11-cは、第1図に示すように、全て表面16-a、～16-c、を上側とした向きで、且つ相対向するパンフ同士を絶縁層によりボンディングされて、電気的に接続されて且つ機械的に結合されている。各半導体デバイスチップ11-a、～11-c、上の半導体デバイス部13-a、～13-c、は、パンフ及び内部配線を通してセラミック基板12上の端子(図示せず)と電気的に接続されている。

半導体装置10は、半導体デバイスチップ11-a、～11-c、がこれ自体により電気的に接続された状態で三次元的に4層に積層された構成であり、半導体デバイス部の高集積、高集積化が図られている。

なお、半導体デバイスチップ11-a、～11-c、は、例えばプリント基板等の他の部材を用いずに接続されており、半導体装置10は最小の部品点数で構成されている。

また各半導体デバイスチップ11-a、～11-c、は天々予め検査して良品であるもののみを用

特開昭63-156348(3)

いており、半導体装置10の断面は高い。

また、各半導体デバイスチップ11-₁～11-_nは共に表面16-₁～16-_nを上面側とされた向きで積層されている。このため、各半導体デバイスチップ11-₁～11-_nについて積層後の半導体デバイス部13-₁～13-_nの状態を目視で確認することができる。好都合である。

また、半導体デバイスチップの積層数は4に限らず任意にとることが出来る。

またパンプ15-₁、17-₁を下部側としてもよく、この場合にはリフローを用いることが出来、チップ結合時の圧力を緩和できる。

第3図及び第4図は天々本発明の第2、第3実施例による半導体装置30、40を示す。各図中、第1図に示す構成部分と実質上対応する部分には同一符号を付し、その説明は省略する。

第3図の半導体装置30は、上向き半導体デバイスチップと下向き半導体デバイスチップとが交互した構造である。半導体デバイスチ

ップ11-₁～11-_nは、第1層目のチップ11-₁と第4層目のチップ11-_nとは上向き、第2層目のチップ11-₂と第3層目のチップ11-₃とは下向きで互いに環氣的に接合された状態で積層されている。

第4図の半導体装置40は、上向きチップと下向きチップとが交互に並んだ構成である。この半導体装置40は、例えば第1層目のチップ11-₁と第2層目のチップ11-₂とを天々の表面両面を交互合わせて結合された結合体41と同じく第3層目のチップ11-₃と第4層目のチップ11-₄とを結合させた結合体42とを別個に作り各結合体41、42について試験を行ない、良品である結合体41、42を表面両面を交互合わせて結合させて4層構造としたものである。

(発明の効果)

本発明によれば、積層用の特別な部材を必要とすることなく、しかも表面面の区別なく、どちらの向きでも、半導体デバイスチップを三次元的

に3層以上積層でき、半導体デバイスチップの高密度、高集積化を図ることが出来る。

4. 図面の簡単な説明

第1図は本発明の第1実施例による半導体装置の縦断正面図、

第2図は第1図中一の半導体デバイスチップの断面図、

第3図は本発明の第2実施例による半導体装置の縦断正面図、

第4図は本発明の第3実施例による半導体装置の縦断正面図、

第5図は従来の半導体装置の1例の断面図である。

図において、

10、30、40は半導体装置、

11-₁～11-_nは半導体デバイスチップ、

12はセラミック基板、

13-₁～13-_nは半導体デバイス部、

14-₁～14-_nは半導体基板、

15-₁～15-_n、17-₁～17-_nはパ

ンプ、

16-₁～16-_nは上面、

18-₁～18-_nは裏面、

19-₁、19-₂はスルーホール、

21-₁～21-_nは内部配線、

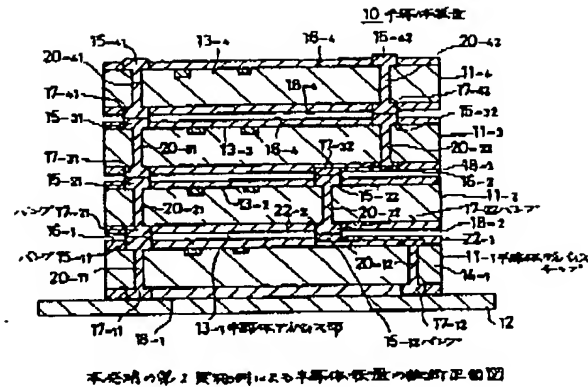
21は表面配線、

22-₁～22-_nは絶縁層、

41、42は結合体である。

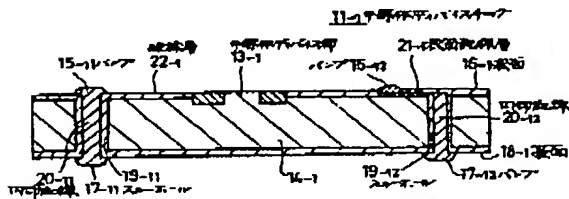
代理人 六 野 士 井 新 谷 一

特開昭63-156348(4)



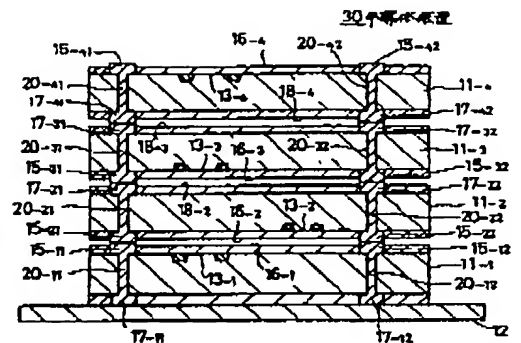
本発明の第1実施例による半導体装置の断面正面図

第1図



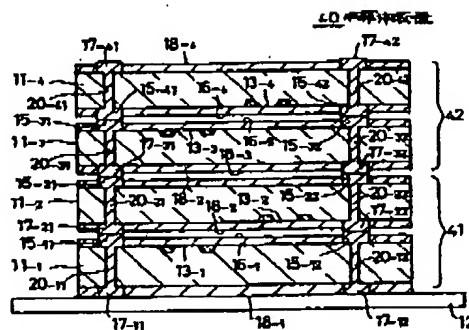
第2図中の一の半導体装置の断面正面図

第2図



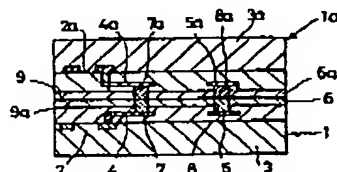
本発明の第2実施例による半導体装置の断面正面図

第3図



本発明の第3実施例による半導体装置の断面正面図

第4図



従来の半導体装置の一の断面正面図

第5図